

(19)日本国特許庁(JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表平9-503880

(43)公表日 平成9年(1997)4月15日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I		
G 1 1 C	16/06	7631-5 L	G 1 1 C	17/00	3 0 9 D
G 0 1 R	19/165	9016-2 G	G 0 1 R	19/165	A
	31/28	4237-5 H	G 0 5 F	3/24	Z
	31/3185	7928-5 K	H 0 3 K	5/08	H
G 0 5 F	3/24	9308-2 G	G 0 1 R	31/28	W
審査請求 未請求 予備審査請求 有			(全44頁) 最終頁に続く		

(21)出願番号 特願平7-510263
 (86)(22)出願日 平成5年(1993)9月30日
 (85)翻訳文提出日 平成8年(1996)3月26日
 (86)国際出願番号 PCT/US93/09321
 (87)国際公開番号 WO95/09483
 (87)国際公開日 平成7年(1995)4月6日
 (81)指定国 EP (A T, B E, C H, D E, D K, E S, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E), J P, U S

(71)出願人 マクロニクス インターナショナル カンパニー リミテッド
 台湾、シンチュ、サイエンス—ベイズド
 インダストリアル パーク、クリエーション
 ロード 4、ナンバー4
 (71)出願人 日本鋼管株式会社
 東京都千代田区丸の内1丁目1番2号
 (72)発明者 リン、チェン—レア
 アメリカ合衆国 カリフォルニア 95014、
 クパーチノ、マデラ ドライヴ 10501
 (74)代理人 弁理士 瀧野 秀雄 (外2名)

最終頁に続く

(54)【発明の名称】改良型電源電圧検出回路

(57)【要約】

パワーアップおよびパワーダウンシーケンスの間に不揮発性メモリ素子の消去およびプログラミングを防止する電圧検出回路。電源は高電圧入力および低電圧入力に結合され、高電圧入力および低電圧入力のうち大きい方に応答してリファレンス電圧を与える。低電圧検出器は低電圧入力およびリファレンス電圧に結合され、低電圧入力上の電圧が所定の低電圧閾値より低下するとき第1の準備中信号を与える。高電圧検出器が、高電圧入力、リファレンス電圧および低電圧検出器に結合され、第1の準備中信号が受信されるか、または高電圧入力の電圧が所定の高電圧閾値より低下するとき第2の準備中信号を与える回路を有する。これらの準備中信号が不揮発性メモリ装置に生じる予期せぬ消去またはプログラミング動作を防ぐ。

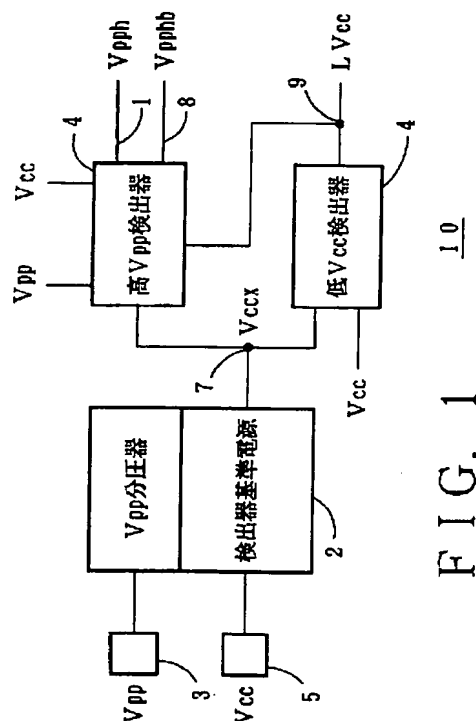


FIG. 1

【特許請求の範囲】**1. 電圧検出回路であって、**

高電源電圧を受ける高電圧入力、

低電源電圧を受ける低電圧入力、

前記高電圧入力および低電圧入力に結合され、その高電圧入力または低電圧入力に応答してリファレンス電圧を与えるリファレンス回路、

前記低電圧入力およびリファレンス電圧に結合され、前記低電圧入力における電圧が所定の電圧閾値より低下するとき第 1 の準備中信号を生成する回路を有する低電圧検出器、および

前記高電圧入力、リファレンス電圧、低電圧検出器に結合され、第 1 の準備中信号が受信されるか、前記高電圧入力における電圧が所定の高電圧閾値より低下するかの何れかの場合、第 2 の準備中信号を生成する回路を有する高電圧検出器を備えたことを特徴とする前記電圧検出回路。

2. 前記リファレンス回路は、前記出力ノードを有する高電圧入力に結合され、高電源電圧を出力ノードのノード電圧に低減する回路、および

ノード電圧および低電源電圧のうちの大きい方の関数としてリファレンス電圧を供給する選択回路を備える請求の範囲第 1 項に記載の電圧検出回路。

3. 前記高電源電圧を減少する回路は能動素子を備える、
請求の範囲第 2 項に記載の電圧検出回路。

4. 前記低電圧検出器は、所定の低電圧閾値に設定されたトリップ電圧を有する閾値インバータを備える請求の範囲第 1 項に記載の電圧検出回

路。

5. 前記低電圧検出器の閾値インバータは、当該低電圧検出器の閾値インバータに対してトリップ電圧を設定する長さと幅を有するチャンネルを有するトランジスタ素子を備える請求の範囲第 4 項に記載の電圧検出回路。

6. 前記低電圧検出器は、前記低電圧入力が第 1 の所定の電圧閾値を越えるとき、当該第 1 の電圧閾値を生成し、低電圧入力が第 2 の所定の電圧閾値より低下するとき当該第 2 の電圧閾値を生成する、閾値インバータに結合されたヒステリシ

ス回路を備える請求の範囲第 4 項に記載の電圧検出回路。

7. 前記低電圧検出器は、前記ヒステリシス回路に結合され、前記第 1 の準備中信号を生成する出力バッファを備える請求の範囲第 6 項に記載の電圧検出器。

8. 前記高電圧検出器は、前記所定の高電圧閾値に設定されたトリップ電圧を有する閾値インバータを備える請求の範囲第 1 項に記載の電圧検出器。

9. 前記高電圧検出器の閾値インバータは、当該高電圧検出器の閾値インバータに対してトリップ電圧を設定する長さと幅を有するチャンネルを有するトランジスタデバイスを備える請求の範囲第 4 項に記載の電圧検出回路。

10. 前記高電圧検出器は、前記閾値インバータおよび第 1 の準備中信号に結合され、それらに応答して閾値信号を与える閾値論理を備える請求の範囲第 8 項に記載の電圧検出回路。

11. 前記高電圧検出器は、前記閾値信号に応答して前記第 2 の準備中信号を生成する出力バッファを備える請求の範囲第 10 項に記載の電圧検出回路。

12. 前記高電圧検出器は、リファレンス電圧に応答して前記回路が第 2 の準備中信号を与えることを可能にするゲート回路を備える請求の範囲第 1 項に記載の電圧検出回路。

13. 第 1 入力における第 1 電圧および第 2 入力における第 2 電圧を有し、前記第 2 電圧をノード電圧まで減少し、前記第 1 電圧および前記ノード電圧のうち大きい方に応答して基準電圧を供給する回路を有するリファレンス回路、

前記リファレンス電圧によって駆動され、前記第 1 の電圧が第 1 の所定の電圧より低いときその第 1 の電圧に応答して第 1 の信号をせいせいする第 1 の電圧検出回路、および

前記リファレンス電圧によって駆動され、前記第 2 の電圧が第 2 の所定の電圧より低いときその第 2 の電圧に応答して第 2 の信号を生成する第 2 の電圧検出回路

を備えたことを特徴とする電圧検出器。

14. 前記回路は、前記第 2 の電圧を前記ノード電圧に低減する分圧器を備える請求の範囲第 13 項に記載の電圧検出器。

15. MOS素子が分圧器を構成するのに用いられる、請求の範囲14項に記載の電圧検出器。

16. 前記第1の電圧検出回路は、前記第1の所定電圧に設定され、前記第1電圧が当該第1の所定電圧より低くなるとき第1の信号を生成する閾値検出器を備える請求の範囲第13項に記載の電圧検出器。

17. 前記第1電圧検出回路は、前記第1電圧が第3の所定の電圧より低下するときその第3の所定電圧にある前記第1の信号を生成する、閾値検出器に結合されたヒステリシス回路を備える請求の範囲第16項に記載の電圧検出回路。

18. 前記第2の電圧検出回路は、前記第1の検出回路の第1の信号に結合される第1の入力および前記第2の電圧に結合される第2の入力を有し、当該第1の信号および前記第2の電圧にに応答して前記第2の信号を生成する、請求の範囲第13項に記載の電圧検出器。

19. 前記第2の電圧検出回路は、

前記第2の電圧に結合され、その第2の電圧を第3の電圧に減少させるダイオード素子、

前記第3の電圧およびリファレンス電圧に結合され、第3の電圧がリファレンス電圧より大きいとき、入力電圧を生成する制御回路、および

該制御回路に結合され、前記入力電圧に応答して閾値信号を生成する閾値回路を備えることを特徴とする請求の範囲第18項に記載の電圧検出器。

20. 前記第2の検出回路は、前記閾値回路に結合され、前記閾値信号および前記第1の信号に応答して前記第2の信号を与える出力コンバータを備える請求の範囲第19項に記載の電圧検出器。

21. プログラミング電圧用の第1の出力および読み出し電圧用の第2の出力を発生する電源、

第1の出力および第2の出力に連結され、プログラミング電圧または読み出し電圧に応答してリファレンス電圧を与える基準電源、

前記リファレンス電圧によって駆動され、読み出し電圧が第1の所定の電圧閾値より低下するときその読み出し電圧に応答して第1の信号を生成する第1の電

圧検出器、

前記リファレンス電圧によって駆動され、前記プログラミング電圧が第2の所定電圧より低下するか、または前記第1の信号が生成されるとき、そのプログラミング電圧および前記第1の信号に応答して第2の信号を生成する第2の電圧検出器、

前記電源、前記第1の電圧検出器および前記第2の電圧検出器に結合され、データおよびプログラム命令を記憶し、前記第1または第2の信号に応答してメモリのアクセスを制御する回路を備えるメモリ、および

前記電源および前記メモリに結合され、当該メモリ内のデータおよびプログラム命令にアクセスしてそのデータおよびプログラム命令を処理する処理ユニットを備えていることを特徴とする処理システム。

22. 前記リファレンス電源は、前記電源のプログラミング電圧に結合され、そのプログラミング電圧に応答して中間の電圧を与える電圧減少

回路を備える請求の範囲第21項に記載の処理システム。

23. 前記リファレンス電源は、中間電圧および読出し電圧のうち大きい方に応答してリファレンス電圧を与える、請求の範囲第22項に記載の処理システム。

24. 前記メモリは、プログラミング電圧がメモリに与えられるとき消去およびプログラム可能な不揮発性メモリを備える請求の範囲第21項に記載の処理システム。

25. 前記不揮発性メモリは、前記第1信号に応答して読み出し専用モードにすることができる、請求の範囲第24項に記載の処理システム。

26. 前記第2の信号は前記メモリに対する消去およびプログラミング機能を停止する、請求の範囲第24項に記載の処理システム。

27. 複数のプログラム可能な記憶位置を有するメモリ、

読み出し電圧を受信する低電圧入力、

プログラミング電圧を受信する高電圧入力、

前記プログラミング電圧および読み出し電圧に結合され、そのプログラミング電圧をノード電圧に低減し、前記読み出し電圧および前記ノード電圧のうち大きい方

に応答してリファレンス電圧を供給する分圧回路を有する基準回路、

前記リファレンス電圧に結合され、前記読出し電圧が所定の最小読出し電圧より低いときその読出し電圧に応答して低読出し電圧をせいせいする読み出し電圧検出回路、

前記リファレンス電圧に結合され、前記プログラミング電圧が所定の最小プログラミング電圧を越えるときそのプログラミング電圧に応答して高プログラミング信号を生成するプログラミング電圧検出回路
を備えたことを特徴とするフラッシュEPRM。

28．前記分圧回路は前記プログラミング電圧を前記ノード電圧に低減する能動素子を備える請求の範囲第27項に記載のフラッシュEPRM。

29．前記読出し電圧検出回路は、前記最小読み出し電圧に設定された電圧閾値を有し、閾値出力を生成する閾値検出器を備える、請求の範囲第27項に記載のフラッシュEPRM。

30．前記閾値検出器は前記電圧閾値に設定されたトリップ電圧を有するインバータを備える請求の範囲第27項に記載のフラッシュEPRM。

31．前記インバータは前記トリップ電圧に設定される長さとの幅のチャンネルを有するPチャンネルデバイスおよびNチャンネルデバイスを備える請求の範囲第27項に記載のフラッシュEPRM。

32．前記読出し電圧検出回路は、上昇電源シーケンスの間に第1の最小読出し電圧閾値を生成し、下降電源シーケンスの間に第2の最小読み出し電圧閾値を与えるヒステリシス回路を備える請求の範囲第29項に記載のフラッシュEPRM。

33．前記読出し電圧検出回路は、前記ヒステリシス回路に結合され低読み出し信号を生成する出力回路を備える請求の範囲第32項に記載のフラッシュEPRM。

34．前記プログラミング電圧検出回路は、前記プログラミング電圧を低減された電圧に低減し、その低減された電圧が前記リファレンス電圧より大きいとき検

出電圧を生成する能動素子を有する回路を構成する請求の範囲第27項に記載のフラッシュEPR OM。

35．前記プログラミング電圧検出回路は、前記所定の最小プログラミング電圧に設定された電圧閾値を有し、前記検出器出力に応答して閾値出力を生成する閾値検出器を備える請求の範囲第27項に記載のフラッシュEPR OM。

36．前記閾値検出器は前記所定の最小プログラミング電圧に設定された前記電圧閾値を有するインバータを備える請求の範囲第35項に記載のフラッシュEPR OM。

37．前記プログラミング電圧検出回路は、前記読出し電圧検出回路の低読み出し信号および前記閾値信号からの入力を受け、論理信号を生成するロジックを備える請求の範囲第35項に記載のフラッシュEPR OM。

38．前記プログラミング電圧検出回路は、前記ロジックに結合され、前記論理信号に応答して前記低プログラミング信号を生成する出力バッファを備える請求の範囲第37項に記載のフラッシュEPR OM。

39．前記プログラミング電圧検出回路は、前記リファレンス電圧がプログラミング電圧より低い所定の範囲内に入るとき、そのリファレンス電圧に応答してプログラミング電圧検出回路を動作可能にするゲート回路を備える請求の範囲第27項に記載のフラッシュEPR OM。

【発明の詳細な説明】**改良型電源電圧検出回路****発明の背景****技術分野**

本発明は、不揮発性メモリ装置の分野における電源電圧レベルを監視する回路に関する。

従来技術

フラッシュEPR OMは不揮発メモリ集積回路の成長分野である。これらフラッシュEPR OMはチップのメモリセルを電氣的に消去、プログラムまたは読出し可能である。アレイ全体を一度に電氣的に消去可能である。また、フラッシュEPR OMはまたランダムに読み出し、書き込み可能である。

これらセル自体は、各セル毎に単一の素子を用い、浮遊ゲートを充電又は放電することによってセル内にデータを格納するいわゆる浮遊ゲート型トランジスタを用いて形成される。

浮遊ゲートは、ポリシリコンの導電性材料であって、酸化物その他の絶縁材料の薄層によってトランジスタのチャンネルから絶縁されており、また絶縁材料の第2の層によってトランジスタの制御ゲートワード線から絶縁されている。

浮遊ゲートを充電する動作は、フラッシュメモリの「プログラム」段階と呼ばれる。これは、12V程度の大きな正電圧をゲートとソースの間に、また例えば6Vの正電圧をドレインとソースの間に設定 (establish) することによって、いわゆるホットエレクトロン注入によって行われる。

浮遊ゲートを放電する動作は、フラッシュメモリの「消去」機能と呼ばれる。この消去機能は、典型的には、浮遊ゲートとトランジスタのソースの間 (ソース消去) または浮遊ゲートと基板の間 (チャンネル消去) のファウラーノルドハイム (F-N) トンネル機構によって行われる。例えば、ソース消去動作は、各メモリセルのドレインを浮遊させながら、ソースからゲートにかけて大きな正電圧を設定することによって行われる。この正電圧は12V程度に大きくて良い。

素子に電圧を印加することによってフラッシュEPR OMをプログラムまたは

消去できることを前提として、フラッシュE P R O Mを含むシステムにはしばしば、フラッシュE P R O Mをプログラム、消去する機能が盛り込まれる。システムがフラッシュメモリをプログラム、消去する機能を持つためには、そのシステムはV c c電圧だけでなく、V p p電圧を生成しなければならない。V c cは一般に不揮発性メモリ素子の読み出しモードでのロジック (the logic) を制御する5 V電源である。またV p pは不揮発性メモリ装置のプログラミングモードおよび消去モードを制御するためのV c cと組み合わせて用いる12 V電源である。

その記憶素子の一部として不揮発性メモリを用いるコンピュータシステムがパワーアップまたはパワーダウンのシーケンスを経過するときにある問題が生じる。パワーアップシーケンスとはユーザがコンピュータシステムを開始させる瞬間を意味し、パワーダウンシーケンスとはユーザがコンピュータシステムをオフにする瞬間を意味する。これらのパワーアップ及びパワーダウンシーケンスの間に、システム電源は適当な動作範囲内でV c c、V p pの上昇下降を与える。これが起こると、システム内の制御信号は有効であるとは保証されない。これらの無効な信号により、不揮発性データの予期せぬプログラミングや誤消去が起こる。場合によっては、永久的な損傷が起こることもある。

保護回路は、V c c電圧またはV p p電圧が適切な動作レベルより低いとき、これらの電圧が不揮発性デバイスに印加されるのを防ぐように設計されてきた。このようなシステムの一つの例は、1990年12月4日にベイカー (B a k e r) 等に発行された米国特許第4975883号に開示されている。ベイカー等は二つの比較器を用いて適切な電圧レベルを検出する。一方の比較器はV c c電圧用であり、他方の比較器はV p p電圧用である。これら二つの比較器は、絶えずかなりの量のD C電力を消費する。これに加えて、ベイカー等の電圧検出器内の多数のデバイス郡は高いV p p電圧に曝される。高いV p p電圧を受けるデバイスにはこのような部品に働くストレスを減少させる別の保護手段が必要となる。また、電力消費を減少するためには、チップ上でかなりの空間を占める長チャンネルのデバイスを必要とする。従って、ベイカー等の欠点は、D C電力を消費

する比較器を含むということ、回路に高電圧保護が必要なこと、そして検出回路が全体的に複雑であることである。

それ故、上記先行技術の欠点を改良、克服する電圧保護回路を設計することが望まれる。

発明の概要

本発明は電圧が所定の電圧レベルより低くなる時点を検出する回路を提供する。本発明によれば、電圧検出回路は、高電源電圧を受ける高電圧入力および低電源電圧を受ける低電圧入力を備えている。リファレンス（基準）回路は、上記高電圧入力および低電圧入力に結合され、その高電圧入力または低電圧入力に応答してリファレンス電圧を与える。低電圧検出器は、低電圧入力およびリファレンス電圧に結合され、低電圧入力上の電圧が所定の低電圧閾値より低くなるとき第1の準備されない（not-ready）信号を生成する回路を備えている。

高電圧検出器は、高電圧入力、リファレンス電圧および低電圧検出器

の出力に結合され、第1の準備中信号を受信するか、または高電圧入力上の電圧が所定の高電圧閾値より低くなるとき第2の準備中信号を与える回路を備えている。電圧検出回路の素子が高電圧入力を受けるのを避けるために、本発明の一態様によれば、リファレンス回路は、高電圧入力に結合され、出力ノードを備え、その出力ノード向けのノード電圧まで高電源電圧を低減する回路およびノード電圧および低電源電圧のいずれか大きい方の関数としてのリファレンス電圧を供給する回路を備えている。この手法により、高電圧入力は低電圧入力と同程度のレベルまで低減される。

本発明の別の態様によれば、低電圧検出器は、所定の低電圧閾値に設定されたトリップ電圧を有する閾値インバータを備えている。その閾値インバータは、トリップ電圧を低電圧検出器の閾値インバータ向けに設定するような長さのチャンネルを有するトランジスタ素子を含む。低電圧検出器は、低電圧入力に結合され、閾値インバータに電圧を与える回路を備えている。その低電圧検出器は、閾値インバータに結合され、低電圧入力が入力電圧閾値を越えるとき第1の所定の電圧閾値を与え、その低電圧入力が入力電圧閾値より低くなるとき第2

の所定の電圧閾値を与えるヒステリシス回路を備えている。低電圧検出器は、ヒステリシス回路に結合され、第1の準備中信号を与える出力バッファを備えている。

高電圧検出器は、所定の高電圧閾値に設定されたトリップ電圧を有する閾値インバータを備えている。その高電圧検出器の閾値インバータは、トリップ電圧を高電圧検出器の閾値インバータ向けに設定するような長さや幅のチャンネルを有するトランジスタ素子を含む。高電圧検出器は、閾値インバータと第1の準備中信号に結合され、これら閾値インバータと第1の準備中信号に応答して閾値信号を生成する閾値ロジック (thre

shold logic) を備えている。該高電圧検出器は、その閾値信号に応答して第2の準備中信号を生成する出力バッファを備えている。

本発明はまた、第1入力に第1の電圧を有し、第2入力に第2の電圧を有するリファレンス回路、および第2の電圧をノード電圧まで減少し、第1の電圧およびノード電圧のうちの大きい方の電圧に応答してリファレンス電圧を供給する回路を備えた電圧検出器としても特徴づけることが可能である。第1の電圧検出回路はリファレンス電圧によって駆動され、第1の電圧に応答して、その第1の電圧が第1の所定の電圧より低くなる時第1の信号を生成する。第2の電圧検出回路はリファレンス電圧によって駆動され、第2の電圧に応答してその第2の電圧が第2の所定の電圧より低いとき、且つ第1の信号がアクティブ (真) (asserted) にされるとき第2の信号を与える。

リファレンス回路は、第2の電圧をノード電圧まで減少する分圧器を備える。MOS素子は分圧を実現するのに用いられる。本発明に係わる別の態様による第2の電圧検出回路は、第1の電圧検出回路の第1の信号に結合された第1の入力と第2の電圧に結合された第2の入力を有し、その第1の信号および第2の電圧に応答して第2の信号を生成する。

第1の電圧検出回路は、第1の所定電圧に設定され、第1の電圧が第1の所定の電圧より低くなる時第1の信号を生成する閾値検出器を具備している。第1電圧検出回路は、その閾値検出器に結合され、第1の電圧が第3の所定電圧より

低くなる時当該第3の所定の電圧で第1の信号を生成するヒステリシス回路を具備している。

第2の電圧検出回路は、第2の電圧に結合され、その第2の電圧を第3の電圧まで減少させるダイオード素子を備えている。第3の電圧およびリファレンス電圧に結合された制御回路は、当該第3の電圧がリファレンス電圧より大きいとき入力電圧を生成する。第2の所定電圧に設定

された閾値電圧を有する閾値回路はその入力電圧に応答して閾値信号を与える。第2電圧検出回路は、閾値検出器に結合し、閾値電圧に応答して第2の信号を与える電圧変換器を備えている。第1の電圧、第2の電圧の両電圧は、第2の信号が生成される前に、それらの所定の最小の電圧を越えなければならないから、その第2の信号はフラッシュE P R O Mの消去、およびプログラミング動作を可能にするために用いることができる。これらの電圧が適切な動作レベルにあるときはフラッシュメモリE P R O M回路の適切な動作が保証される。

フラッシュE P R O Mは種々の分野で利用できる。本発明は、電源電圧をプログラミングするための第1の出力および読み出し電圧用の第2の出力を発生する電源を備えた処理システムとして特徴づけることができる。リファレンス電源は、第1および第2の出力に結合され、プログラミング電源電圧または読み出し電源電圧の大きい方に応答してリファレンス電圧を与える。第1の電圧検出器はリファレンス電圧によって駆動され、読み出し電源電圧に応答して、その電圧が第1の所定電圧閾値より低くなる時第1の信号を生成する。第2の電圧検出器は、リファレンス電圧によって駆動され、プログラミング電源電圧および第1の信号に応答して、そのプログラミング電源電圧が第2の所定電圧閾値に低下するか、または第1の信号が生成される (provided)、第2の信号を生成する。電源、第1の電圧検出器、および第2電圧検出器に結合されたメモリは、データおよびプログラム命令を記憶し、第1または第2の信号に応答してメモリのアクセスを制御する。電源およびメモリに結合された処理ユニットは、メモリ内のデータおよびプログラム命令にアクセスしてそのデータおよびプログラム命令を処理する。

本発明に係わる態様によれば、リファレンス電源は、上記電源のプログラミン

グ電圧に結合され、そのプログラミング電圧に応答して中間電

圧を生成する電圧低減回路を備えている。リファレンス電源は、中間電圧および読出し電圧のうち大きい方に応答して基準電圧を与える。第2電圧検出器は第1の信号を受信する入力有し、第1の信号に応答して第2の信号を与える。

本発明に係わる更に別の態様によれば、メモリ装置は、消去可能で、プログラミング電圧がメモリに与えられるときプログラム可能な不揮発性メモリを備えている。当該不揮発性メモリは第1の信号に応答して読出し専用モードに設定される。第2の電圧検出器の第2の信号はメモリに対する消去およびプログラミング機能を停止 (disable) する。

本発明は、プログラム電圧の印加によってプログラム可能な不揮発性メモリ装置内の制御回路に特に適している。本発明は、制御信号が不安定であるか、未知の状態にあるとき、パワーアップまたはパワーダウンシーケンスの間の不揮発性メモリの誤った消去やプログラミングを防止する。従って、本発明の好適実施例を用いることによって、不揮発性メモリ装置の予期せぬ消去、プログラミングに対するより優れた保護を促すことができる。

本発明の他の態様、利点は以下の、図面、詳細な説明およびクレームを参照することによって明らかになるだろう。

図面の簡単な説明

図1は、 V_{cc}/V_{pp} 電圧検出回路のブロック図である。

図2は、検出器電源の回路図である。

図3は、検出器電源を単純化した回路図である。

図4は、ノード11対 V_{pp} のグラフである。

図5は、低 V_{cc} 検出器の回路図である。

図6は、低 V_{cc} 検出器を単純化した回路図である。

図7は、高 V_{pp} 検出器の回路図である。

図8は、高 V_{pp} 検出器を単純化した回路図である。

図9は、本発明による処理システムの概念ブロック図である。

図10は、処理システム内において用いられる不揮発性メモリ装置の消去、プログラムを防止する、 V_{cc}/V_{pp} 電圧検出回路の動作範囲を示す図である。

発明の詳細な説明

電圧検出回路の好適実施例の全体図が図1に示されている。図1は V_{cc}/V_{pp} 検出回路を示している。検出器基準電源2が V_{cc} パッド5のところで V_{cc} に結合されている。検出器基準電源2は、 V_{pp} 分圧器を含み、 V_{pp} パッド3のところで V_{pp} に結合されている。

検出器リファレンス電源2は出力 $V_{cc} \times 7$ を生成する。低 V_{cc} 検出器4は V_{cc} および $V_{cc} \times 7$ からの入力を受け、出力 $LV_{cc}9$ を与える。高 V_{pp} 検出器6は、 $V_{cc} \times 7$ 、 V_{pp} 、 V_{cc} および LV_{cc} からの入力を受ける。高 V_{pp} 検出器6の出力は、 $V_{pp}h1$ および $V_{pp}hb8$ である。

V_{cc}/V_{pp} 検出器10は、 V_{pp} 、 V_{cc} 電源電圧のいずれかの低電圧の発生を検出する。低電圧が検出されると、 V_{cc}/V_{pp} 検出回路10は、低電圧に対応する低 $V_{pp}1$ 信号または高 $LV_{cc}9$ を生成する。検出器リファレンス電源2は、低 V_{cc} 検出器4および高 V_{pp} 検出器6にリファレンス電圧 $V_{cc} \times 7$ を供給する。低 V_{cc} 検出器4は V_{cc} に結合され、 V_{cc} が所定の最小電圧レベルより低いかどうかを判別するように動作する。当該最小電圧レベルは、回路が適切な動作を維持することができる最小電圧に設定される。低 V_{cc} 検出器4に印加される V_{cc} 電圧が所定の最小電圧より低い場合は、低 V_{cc} 検出器4は信号 $LV_{cc}9$ を高(high)論理レベルにする。

高 V_{pp} 検出器6は、 V_{pp} 入力電圧が所定の閾値電圧レベルより低

くなる時を検出する。高 V_{pp} 検出器6は、 V_{pp} 入力が所定の最小電圧を越え、 LV_{cc} がアクティブにされるとき、 $V_{pp}1$ を高論理レベルにする。出力信号 $V_{pp}hb8$ は $V_{pp}h1$ の相補的な電圧である。

$LV_{cc}9$ は、高 V_{pp} 検出器6に結合され、 V_{pp} が所定の電圧を越えた電圧レベルにあるときでも $V_{pp}h$ を低(low)論理レベルにする。この特徴は、 V_{pp} が十分に高いとき、無効な5V制御信号のために誤って不揮発性メモリが変化する(alter)のを防ぐのに有用である。

例えば、EPROM、EEPROM、フラッシュメモリ装置などの不揮発性メモリ装置は、メモリが外部で生成された約12Vの消去／プログラミング電位を受けるとき、再プログラムできる。Vcc電圧が所定の最小電圧より低い場合は、Vccによって駆動される回路は、予測不能な態様で動作することがある。Vccに依存する制御信号が有効であることが保証されない間に不揮発性メモリの不用意なプログラミングが発生するのを避けるために、高Vpp検出器6が信号LVcc9を受け、LVccに応答して、低Vcc検出器4が低Vcc電圧を検出するときVpphが高論理レベルをアクティブにするのを禁止する。

Vcc/Vpp検出回路10は金属-酸化物-半導体(MOS)処理を用いて製造されている。すなわち、相補型金属-酸化物-半導体(CMOS)技術が図に示されたトランジスタ素子を製造するのに用いられる。N型素子がP型基板に形成され、P型素子がN型ウェルに形成されるが、N型ウェルは最初にP型基板に形成される。NZ素子も図に示されている。NZ素子はほぼ0.0Vの閾値電圧を有するNチャンネル素子である。

図2は検出器電源2の回路図である。検出器電源2の動作を図3を参照して説明する。

図3は検出器電源2の単純化された回路である。VppはNチャネル

素子(Nチャンネルデバイス)20'のドレインとゲートに結合されている。Nチャンネル素子20'のソースはPチャンネル素子(Pチャンネルデバイス)21'のソースと基板に連結される。Pチャンネル21'のゲートは、Vccに結合され、そのドレインはノード40に結合される。抵抗素子(抵抗デバイス)24'はノード40とノード42の間に結合される。抵抗素子25'はノード42とノード11の間に結合される。抵抗素子30'はノード11とノード44の間に結合される。Nチャンネル素子32'のドレインとゲートはノード44に結合され、Nチャンネル素子32'のソースは基板とPチャンネル素子33'の基板とソースに結合されている。Pチャンネル素子33'のドレインとゲートはNチャンネル素子34'のドレインとゲートに結合されている。Nチャンネル素子34'のソースは接地される。NZ素子61'のドレインはVppに連結され、

ゲートはノード11に結合されている。NZ素子62'のドレインとゲートはVccに結合される。NZ素子61'、62'のソースは出力Vccx7に結合されている。

Vppはノード11における出力向けの入力電源となる。素子(デバイス)20'、21'、32'、33'および34'はダイオード電圧降下素子として働くように構成される。表1は図2、図5および図7に示された素子に対応するミクロン単位の相対的幅、長さを示す。表1から分かるように、図2の素子24、25、30の長さは幅の10倍程度の値である。素子は線形領域で動作し、抵抗として働く。ノード11はVpp入力からの出力である。

表 1

素子 番号	幅	長さ
-------	---	----

2 0	3 0	2
2 1	3 0	2
2 2	8	2
2 4	4	4 0
2 5	4	4 0
2 6	4	4
3 0	4	4 0
3 2	3 0	1 . 4
3 3	6 0	1 . 6
3 4	3 0	1 . 4
5 0	4	1 6 0
5 1	4	2
6 0	2 0 0	2
6 1	1 6 0	3
6 2	1 0 0	3
6 5	2	2 0 0
1 1 0	8	1 . 2
1 1 1	2 0	1 . 6
1 1 2	1 0	1 . 4
1 1 3	4	1 5
1 1 6	3 . 5	1 0 0
1 1 7	1 5	1 0
1 1 9	8	1 . 2
1 3 0	3	6 0
1 3 1	2 0	2
1 3 2	1 0	1 0

1 4 0	5	2
1 4 1	1 5	2
1 4 2	5	8
1 5 0	1 5	2
1 5 1	1 5	3
2 1 0	1 0	2
2 1 1	3 0	3
2 2 0	3 0	2
2 2 1	3 0	2
2 2 2	5	3 0
2 2 3	5	3 0
2 3 0	4	1 5
2 3 1	1 5	3
2 3 2	1 0	2
2 3 3	1 0	2
2 3 4	1 0	2
2 3 5	5	2
2 4 0	1 0	2
2 4 1	1 0	2
2 5 0	1 0	2
2 5 1	1 0	2
2 6 0	4	6
2 6 1	1 2	2
2 6 2	4	6
2 6 3	1 2	2

図4は、 V_{cc} が0Vであるとして、 V_{pp} が0Vから13Vへ変化するときのノード11対 V_{pp} のグラフである。 V_{pp} が2ボルトより大きくなればノード11は電圧を有しない。これはダイオード素子20'と21'によって生じ

る。2 Vの降下は、MOS素子当たり1 Vの閾値電圧の低下に対応する。従って、各ダイオード素子の1 Vの降下を示す。一旦、 V_{pp} が素子20'と素子21'の二つのダイオードの降下を克服すると、電圧がノード11で検出される。 V_{pp} が増加するにつれて、ノード11の電圧は、その増加につれて増加する。素子32'、33'および34'はダイオードとして作用して、抵抗素子24'、25'および30'の電圧降下を防ぐ。こうして、 V_{pp} が5 Vに達するまで、ダイオード素子32'、33'および34'はノード11における電圧を V_{pp} の増加に対応させることになる。

V_{pp} が5 Vを越えると、抵抗素子24'、25'および30'は分圧器として作用し、ノード11の電圧を減少させる。表1に示されるように、図2の素子24、25および26は、同一の幅と長さを有するものとして同様に構成される。こうして、ノード11の電圧は、2/3だけ減少される。図4のグラフは、 V_{pp} が5 Vを越えて増加するときのノード11の電圧を示している。例えば、 V_{pp} が11 Vのとき、ノード11は5ボルトである。同様に、 V_{pp} が13 Vのとき、ノード11は5.7 Vである。

図3において、素子61'及び62'は、ワイヤーオア (wire-or) として機能するように構成されている。素子62'は V_{cc} および出力 $V_{cc} \times 7$ に結合されたNZ素子である。従って、NZ素子62'は V_{cc} を $V_{cc} \times 7$ に結合する。NZ素子61'はノード11および出力 $V_{cc} \times 7$ に結合される。ノード11と V_{cc} のうち大きい方が、検出器

電源2の出力電源として出力 $V_{cc} \times 7$ に印加される。

図2において、素子20、21、24、25、30、32、33、34、61および62は図3の20'、21'、24'、25'、30'、32'、33'、34'、61'および62'に対応する。Nチャンネル素子20および22のドレインは、 V_{pp} に結合されている。素子20のゲートもまた V_{pp} に結合されている。Pチャンネル素子21のソースおよび基板は、Nチャンネル素子20のソースに結合され、Pチャンネル素子21のゲートは V_{cc} に結合されている。Nチャンネル素子22は、 V_{pp} がアクティブでないときノード15を放電す

る逆ダイオード (reverse diode) として構成されている。ノード15は、Pチャンネル素子21、Nチャンネル素子22のソースおよびゲート、NZ素子26のゲート、Pチャンネル素子24のソースおよび基板、並びにPチャンネル素子25の基板の接合点である。Pチャンネル素子24、25のゲートは接地されている。Pチャンネル素子24のドレインはPチャンネル素子25のソースに結合されている。NZ素子26のドレインはPチャンネル素子25のドレインに結合されて、NZ素子26のソースはPチャンネル素子30のソース及び基板に結合されている。Pチャンネル素子30のゲートは接地され、そのドレインはNチャンネル素子32のドレインおよびゲートに結合されている。Nチャンネル素子32のソースはPチャンネル素子33のソースおよび基板に結合されている。ノード35は、Pチャンネル素子33のゲート、ドレイン、Nチャンネル素子34のゲート、ドレインおよびNZ素子65のゲートの接合点である。Nチャンネル34のソースは接地されている。NZ素子50はVccに結合されたゲートとドレインを備えたダイオードとして構成されている。NZ素子50のソースはNチャンネル素子51のドレインに結合されている。Nチャンネル素子51のゲートはVccに結合され、そ

のソースはノード11に結合されている。

素子50および51は、Vccを介して、ノード11を維持するように機能するのでノード11の電圧は浮遊 (float) しない。ノード11は主にVppによって駆動されるから、Vpp電圧が低いとノード11が浮遊 (float) 乃至は不確定な値を持つことがある。NZ素子50およびNチャンネル素子51は小さな電流がノード11に流れるように構成される。NZ素子50は160の長さで4の幅を有している。素子の長さはその幅の40倍である。従って、素子50は非常に高い抵抗性を有し、ノード11には微少の電流しか流れない。

NZ素子26は、Vcc電流が素子50、51から流れないようにし、VppがアクティブでないときPチャンネル素子25のドレイン接合を順方向バイアスする逆ダイオードとして構成される。

NZ素子62は、出力Vccx7にVcc入力を生成する。素子62のドレイ

ンおよびゲートは V_{cc} に結合され、そのソースは $V_{cc} \times 7$ に結合される。素子62はNZ素子であるから、 $V_{cc} \times 7$ の出力電圧は、 V_{cc} に等しい。NZ素子61のソースも $V_{cc} \times 7$ に結合されている。NZ素子61のゲートは、ノード11に結合され、ドレインはNチャンネル素子60に連結されている。Nチャンネル素子60のゲートおよびドレインは V_{pp} に結合されている。上述したように、NZ素子61はノード11または V_{cc} のワイヤオア (wire-or) として機能する。ノード11の電圧およびNZ素子62のソース電圧のうち大きい方が $V_{cc} \times 7$ の出力として供給される。

Nチャンネル素子60がNZ素子61にかかる電圧ストレスを低減するために付加されている。素子60に対する閾値電圧降下は1.5Vである。NZ素子65のドレインも $V_{cc} \times 7$ に結合される。そのゲートはノード35に結合され、そのソースは接地されている。NZ素子65

は、 V_{pp} および V_{cc} の両方がグランド電圧のとき $V_{cc} \times 7$ において電圧を放電する。素子65は極めて微少の電流しか生じないように構成される。表1に示されるように、素子65の長さは幅の約100倍の長さである。従って、素子65は、非常に高抵抗で、極めて微少の電流しか流れない。

図5は低 V_{cc} 検出器4の回路図である。 $V_{cc} \times 7$ は低 V_{cc} 検出器4に電力を供給する。 V_{cc} が低いと検出されたとき出力信号 $LV_{cc}9$ は高論理レベルにあり、3Vを越えると検出されたときは、低論理レベルにある。

図6は低 V_{cc} 検出器4を単純化した図である。Pチャンネル素子111'のソースは V_{cc} に結合されている。素子111'のゲートおよびドレインはNチャンネル112'のゲートおよびドレインに結合されている。Nチャンネル素子112'のソースはノード103に結合されている。抵抗素子116'はノード103とグランドの間に結合されている。閾値検出器100の入力はノード103に結合され、その出力はノード105に結合されている。ヒステリシスブロック102の入力はノード105に結合され、出力はノード107に結合されている。出力ブロック104の入力はノード107に結合され、その出力は $LV_{cc}9$ に結合されている。閾値検出器100、ヒステリシスブロック102および出

カブロック104はVccx7に結合されている。

素子111'および素子112'は、ダイオード電圧降下素子として働く。素子116'は非常に高抵抗である。表1に見られるように、図5のNZ素子116の長さはその幅の約30倍である。Vccx7は、閾値検出器100、システリシスブロック102、および出力ブロック104に電力を供給する。閾値検出器100は図5のPチャンネル素子130およびNチャンネル素子131により代表される。表1に示され

るように、Pチャンネル素子130の寸法はNチャンネル素子131のそれとは異なっている。閾値検出器100は低Vcc検出器4に対して閾値電圧を設定する。従って、低Vcc検出器4の閾値電圧は素子の寸法によって変えることができる。素子116'の電圧降下が検出器100に印加される。検出器100のトリップ電圧は、1.3ボルトに設定される。ダイオード素子として働く素子111'および112'はVcc入力を2Vだけ減少させる。従って、Vccが3.3Vより低いときには常に、LVcc9の出力は高論理レベルである。ヒステリシスブロック102は図5のPチャンネル素子140、142およびNチャンネル素子141によって代表される。出力ブロック104は、図5のPチャンネル素子150およびNチャンネル素子151によって代表される。閾値検出器100、ヒステリシスブロック102、および出力ブロック104は、CMOS技術を用いたインバータからなる。従って、低Vcc検出器4は極めて微少な電力しか消費しない。

図5において、素子111、112および116は図6の素子111'、112'および116'に対応する。Pチャンネル素子111のソースはVccに結合されている。Pチャンネル素子111のゲートおよびドレインはNチャンネル素子112のドレインおよびゲートに結合されている。Nチャンネル素子110のドレインは、Vccに結合されている。Nチャンネル素子110のソースとゲートはノード101に結合されている。Nチャンネル素子110はVccがアクティブでないときノード101を放電する逆バイアスダイオードとして構成されている。

Nチャンネル素子113のドレインはノード101およびNチャンネル素子112のソースに結合されている。Nチャンネル素子113のゲートはVccに結合され、そのソースはノード103およびNチャンネル素子117のゲートに結合されている。Nチャンネル素子117のド

レインおよびソースは接地されている。素子113および117はACタイミング用に用いられる。これらの素子は、Vccが余りに速く5Vに上昇するときはVccの0-5ボルト移行を遅らせるRC時定数を与える。

Nチャンネル素子119のドレインは、Vccに結合され、Nチャンネル119のゲートおよびソースはノード103に結合される。NZ素子116のゲートおよびドレインはノード103に結合され、そのソースはノード103に結合されている。素子116は高抵抗である。Nチャンネル素子119は、Vccがアクティブでないときノード103を放電する逆バイアスダイオードとして構成されている。

Pチャンネル素子130のソースおよび基板はVccx7に結合され、そのゲートはノード103に結合されている。Nチャンネル素子131のドレインはPチャンネル素子130のドレインに結合されている。Nチャンネル素子131のゲートはノード103に結合され、そのソースは接地されている。ノード105は、素子130、131のドレインに結合され、Pチャンネル素子132のゲートに結合されている。Pチャンネル素子132のソース、ドレインおよび基板はVccxに結合されている。Pチャンネル素子132は、ノード105の上昇を遅らせるACタイミング用の容量のように構成される。

ノード105はPチャンネル素子140、Nチャンネル素子141のゲートに結合されている。素子140のソース、基板は、Vccx7に結合され、素子141のソースは接地されている。素子140、141のドレインはノード107に結合され、そのノード107はPチャンネル素子150、Nチャンネル素子151のそれぞれのゲートに結合されている。素子150のソースおよび基板はVccxに結合され、素子151のソースは接地されている。素子150、151のドレインはLV

cc9の対する出力を生成する。

Pチャンネル素子142のゲートは、ノード107に結合されている。素子142のソースと基板はVccx7に結合され、ドレインはノード105に結合されている。Pチャンネル素子142は出力LVcc9に対してヒステリシス効果を与える。LVcc9は、Vccが5ボルトに上昇したときにVccが5Vから減少したときとは異なった閾値電圧でアクティブになる。Vccが低いときは、ノード105は高く、ノード107は低くなり、素子142を高導電状態にする。Vccが増大するにつれて、素子131は素子142および130に対抗してノード105をプルダウンし、より高いトリップ電圧を生じさせる。Vccが高い状態から減少するにつれて、ノード107が高くなり始め、素子142の導電性を減少させる。こうして、素子131は素子142からより少ない負荷を受け、3V程度のより低いトリップ電圧を生じさせる。ヒステリシスが与えられるので、Vccが低下する。3Vより高いままであれば、チップ上の回路は動作可能状態 (operational) にある。Pチャンネル素子142は、トリップ電圧を、パワーアップシーケンスの間にそれが3Vを丁度越えるのとは全く逆にパワーダウンシーケンスの間に3V未満に低下させる。従って、Vccが減少するにつれて、LVcc9は、Vccが0Vから増大したときより低いVcc電圧でインアクティブ (inactive) となる。

図7は高Vpp検出器6の回路図である。高Vpp検出器6の入力は、Vccx7、Vpp、VccおよびLVcc9である。Vccxは高Vpp検出器6に電力を供給する。高Vpp検出器6の出力は、Vpph1及びVpphb8である。Vpphb8は出力Vpph1と相補的である。Vpphは、所定の電圧レベルを越えないときまたはLVcc9が高いときに低い。

図8は、高Vpp検出器6を単純化した図である。Vppはダイオード接続のNチャンネル211'を介してノード205に供給され、そのノード205からダイオード接続のPチャンネルトランジスタ220'を介してPチャンネル221'のソースに供給される。Pチャンネル素子221'のゲートはVccxに結合され、Pチャンネル素子221'のドレインはノード207と結合される。抵

抗素子222'はノード207とノード208との間に結合される。

抵抗素子223'がノード208とグラウンドの間に結合されている。閾値検出器237の入力は、ノード207に結合され、その出力はノード209に結合される。NORゲート239の入力はノード209およびLVccに結合され、出力はノード213に結合される。インバータ245の入力はノード213に結合され、その出力はノード215および入力コンバータ265に結合される。インバータ255の入力はノード215に結合され、その出力は電圧コンバータ265の第2の入力に結合される。電圧コンバータ265はVccxによって駆動される回路237、239、245、255からの信号レベルをVccによって駆動される回路270、271に対する通常のVccレベルに変換する。電圧コンバータ265の出力はインバータ270の入力に結合される。インバータ270の出力はVpphbである。インバータ271の入力はVpphbに連結され、出力はVpphである。

Vccxは、Pチャンネル素子のゲートへの入力を与え、Vpp検出器を動作可能にする。Pチャンネル素子221'はVppが入力Vccx7より約3V高いときターンオンして電流が流れるように構成される。Pチャンネル素子221'へのVpp入力は、ダイオード素子211'、220'およびPチャンネル素子221'の閾値電圧によって3Vだけ減少される。Nチャンネル素子222'および223は非常に抵抗性が

高い。表1に示されるように、図7の素子222および223の長さは、幅の6倍以上である。図7のPチャンネル素子230及びNチャンネル素子231は、図8において閾値検出器237として表示されている。図7のPチャンネル素子232、233およびNチャンネル素子234、235は図8においてNORゲートとして表示されている。図7のPチャンネル素子240およびNチャンネル素子241は図8においてインバータ245として示されている。図7のPチャンネル素子250およびNチャンネル素子241は図8においてインバータ245として表示されている。図7のPチャンネル素子250及びNチャンネル素子251は図8においてインバータ255として表示されている。図7のPチャ

ネル素子260、262およびNチャンネル素子261、263は図8において電圧コンバータ265として表示されている。図7のインバータ270、271もまた図8に示されている。

高 V_{pp} 検出器6においてCMOS素子を使用すると電力消費を減少できる。

図8において、 V_{pp} が V_{ccx} より3V大きいとき、素子221'はオンで、電流が V_{cc} から抵抗素子222'および223'を介してグランドへ流れる。抵抗素子222'および223'を流れる電流によって電圧が与えられ、閾値検出器237を活性化する。表1に示されるように、Pチャンネル素子230の寸法はNチャンネル素子231とは異なる。閾値検出器237は高 V_{pp} 検出器6に対して閾値電圧を設定する。こうして、高 V_{pp} 検出器6に対する閾値電圧は素子の寸法に従って変えることができる。抵抗素子222'、223'及びPチャンネル素子221'は閾値検出器237を V_{pp} が所定の高電圧を越えるとき低レベルにするように構成される。閾値検出器237の出力からの低論理レベルはNORゲート239の入力に印加される。NORゲート2

39への LV_{cc} 入力が低い場合、NORゲート239の出力は閾値検出器237からの入力に依存する。閾値検出器237からの低論理レベルによりNORゲート239が高論理レベルとなる。インバータ245の出力は低論理レベルとなり、インバータ255の出力は高論理レベルとなる。高(high)信号は、コンバータ265における V_{ccx} から V_{cc} レベルへの変換およびインバータ270の入力への供給の後、インバータ270の出力を低論理レベルにして、信号 V_{pph} を生成する。その信号がインバータ271を通過して流れた後、 V_{pph} は高論理レベルとなる。従って、 V_{pp} が V_{ccx} より少なくとも3V高く、 LV_{cc} が低いときは、素子221はオンで、 V_{pph} は高論理レベルとなる。図7において、素子211、220、221、222および223は図8の211'、220'、221'、222'および223'に対応する。Nチャンネル211のゲート及びドレインは V_{pp} に連結され、Nチャンネル素子211のソースはNチャンネルデバイス210のソース、Pチャンネル素子220のソースと基板およびPチャンネル素子221の基板に結合されている。Nチャンネル素子2

10のゲートおよびドレインはVccに結合されている。素子210は電圧をノード205に供給して、Vppがアクティブでないときそのノードが浮遊するのを防ぐ。Pチャンネル素子220のドレイン及びゲートはPチャンネル素子221のソースに結合されている。Vccx7はPチャンネル素子221、Nチャンネル素子222及びNチャンネル素子223のそれぞれのゲートに結合されている。素子221のドレインは素子222のドレインに連結されており、素子222のソースは素子223のドレインに連結されている。素子223のソースは接地されている。素子211および220-223はノード207においてトリップ電圧を供給するように構成されている。

そのトリップ電圧は閾値検出器237に入力を与える。閾値検出器237はPチャンネル素子230とNチャンネル素子231からなるインバータである。Pチャンネル素子230のソースおよび基板はVccx7に結合され、そのドレインはNチャンネル素子231のドレインに結合されている。そのインバータの入力は、Pチャンネル素子230のゲートおよびNチャンネル素子231のゲートに連結されたノード207に連結されている。Nチャンネル素子231のソースは接地されている。

ノード209は閾値検出器237の出力であり、Pチャンネル素子233およびNチャンネル素子234のそれぞれのゲートに結合されている。ノード209はNORゲート239への第1の入力を生成する。Nチャンネル素子234、Nチャンネル素子235およびPチャンネル素子235のそれぞれのドレインはノード213で連結されている。Nチャンネル素子235のソースは接地され、そのゲートはLVccおよびPチャンネル素子232のゲートに結合される。LVccはNORゲート239への第2の入力を生成する。Nチャンネル素子234のソースは接地され、Pチャンネル素子232のソース、基板およびPチャンネル素子の基板はVccxに結合される。Pチャンネル素子232のドレインはPチャンネル素子233のソースに結合されている。NORゲート239の出力はノード213である。

ノード213はPチャンネル素子240およびNチャンネル素子241のゲー

トにおいてインバータ245への入力となる。Pチャンネル素子240およびNチャンネル素子241のそれぞれのドレインは一緒に連結され、ノード215においてインバータ245の出力となる。Pチャンネル素子240のソースおよび基板はVccxに結合され、Nチャンネル素子241のソースは接地されている。

ノード215はPチャンネル素子250及びNチャンネル素子251

のそれぞれのゲートに対する入力を生成する。ノード215は、コンバータ265に対する入力であるVpphb_xでもある。Pチャンネル素子250のドレインはNチャンネル素子251のドレインに連結され、出力Vpphxを生成する。Pチャンネル素子250のソース、基板はVccxに結合され、Nチャンネル素子251のソースは接地されている。

VpphxはNチャンネル素子261のゲートに結合され、Vpphb_xはNチャンネル素子263のゲートに結合されている。Pチャンネル素子260のドレインはNチャンネル素子261のドレインに結合され、Pチャンネル素子262のドレインはNチャンネル素子263のドレインに結合されている。Pチャンネル素子260のゲートは、Pチャンネル素子262のドレインに連結され、Pチャンネル素子262のゲートはPチャンネル素子260のドレインに結合されている。Pチャンネル素子260および262のソースはVccに結合され、Nチャンネル素子261および263のソースは接地されている。素子260-263を備える電圧コンバータ265はVccxレベルからVccレベルへ変換する間のDC電流を防止する。

インバータ270の入力はPチャンネル素子262のドレインに結合され、インバータ270の出力は出力信号Vpphbを生成し、インバータ271に対する入力と生成する。Vppは8.7Vより低い場合はいつも、Vpphは低論理レベルとなり、Vpphbは高論理レベルである。高Vpp検出器6の閾値電圧は、Vccを5Vとして8.7Vである。従って、Vccを5VとしてVppが8.7Vを越えると、Vpphは高論理レベルに移行し、Vpphbは低論理レベルに移行する。インバータ271の出力は、Vpphである。インバータ27

0および271は高Vpp検出器6の出力ドライブ性能を増大させるのに用いら

れる。インバータ270、271の出力は、状態制御回路および高電圧プログラム・消去回路を制御するために送られ、電源レベルが無効のとき書込み動作非選択乃至停止(disable)にする。

図9はVcc/Vpp検出回路10のシステム実施例を示している。処理ユニット510は入力データ530を処理し、プログラム命令およびデータのためにメモリ520にアクセスする。データ出力535が処理ユニット510によって生成される。

メモリ520はVpp及びVccの印加によってプログラムまたは消去できる。Vccはメモリ520からのプログラム命令およびデータを読みとるためのロジックを駆動する。従って、電源500はVcc電力を処理ユニット510及びメモリ520に供給する。電源500はまたプログラミング動作のためにメモリ520にVppを供給する。

チップ上では、メモリ520のVcc/Vpp検出回路10は、電源500のVcc出力およびVpp出力に結合されている。Vcc/Vpp検出回路10はVppまたはVccからの電圧が、パワーアップシーケンス中、パワーダウンスーケンス中または電源電力が低下している場合においてメモリ520を再プログラムまたは消去するのを防ぐ。メモリ520は、ホストプロセッサからの信号制御信号及びVcc/Vpp検出回路10からの信号を受信しメモリ520のプログラミングまたは消去動作を制御する状態制御回路(図示せず)を含む。例えば、Vcc/Vpp検出回路10は、Vccからの低電圧およびVppからの高電圧を検出する場合、Vcc/Vpp検出回路10からの信号はメモリ520のプログラミングまたはモードを禁止し、正しいコマンドシーケンスがホストから出された時でも記憶されたデータが予期せず破壊されることがないようにする。状態制御回路は電源500からの十分なVcc電力がメモリ520に供給されるまで、そのメモリを讀出し専用モード

にさせてもよい。

図10は、米国特許第4、975、883号から採用された本発明の好適実施例において用いられたプログラミングの消去を防ぐための V_{cc}/V_{pp} 検出回路10の動作範囲を示す図である。図19において、X軸は、読み出し電圧を表し、Y軸はプログラミング電圧 V_{pp} を表す。領域600は、 V_{cc} 、 V_{pp} 両方が不揮発性データの破壊が起こらない程十分に低い領域である。この領域は、大抵の回路が動作しないほど低い領域である。 V_{cc}/V_{pp} 検出回路10でも動作しない。領域610は、 V_{cc} が低く、信号 $LV_{cc}9$ が不揮発性データの破壊を防ぐために生成される領域を示す。領域620は、 V_{pp} が低く、信号 $V_{pp}h$ は不揮発性データの破壊を防ぐ低論理レベルである領域である。

領域650は V_{pp} が低く、 V_{cc} が適切な動作電圧である領域である。従って、メモリ520は読出し専用モードに置くことができる。領域630はメモリ520に真正でない書き込みが起こらないようにユーザがしなければならない領域である。電圧はメモリ520を適切に制御、動作させるのに十分である。領域640はメモリ520の内容を更新する有効動作領域である。

図10に示されるように、領域610、620によって指示された保護領域を通過しなければ、いかなるパワーアップまたはパワーダウンシーケンスも起こり得ない。従って、本発明は、不揮発性メモリ素子に対してパワーアップ、パワーダウン移行の間の真正でないシステムレベル信号に対するより大きな保護を与える。

本発明は特に、図1-10に関して、かつ集積回路に重点をおいて説明したけれども、図面は、単に説明の便宜上のもので、発明を限定するものではないと理解されるべきである。さらに、本発明の方法および装置は、不揮発性メモリ素子のパワーアップおよびパワーダウン移行の間

の疑似システムレベル信号に対する保護が必要に応じて与えられる多くの分野で有用性を有していることは明かである。当業者は、多くの変更、改良を、ここに開示された本発明の思想及び範囲から逸脱することなしになし得る。

【図1】

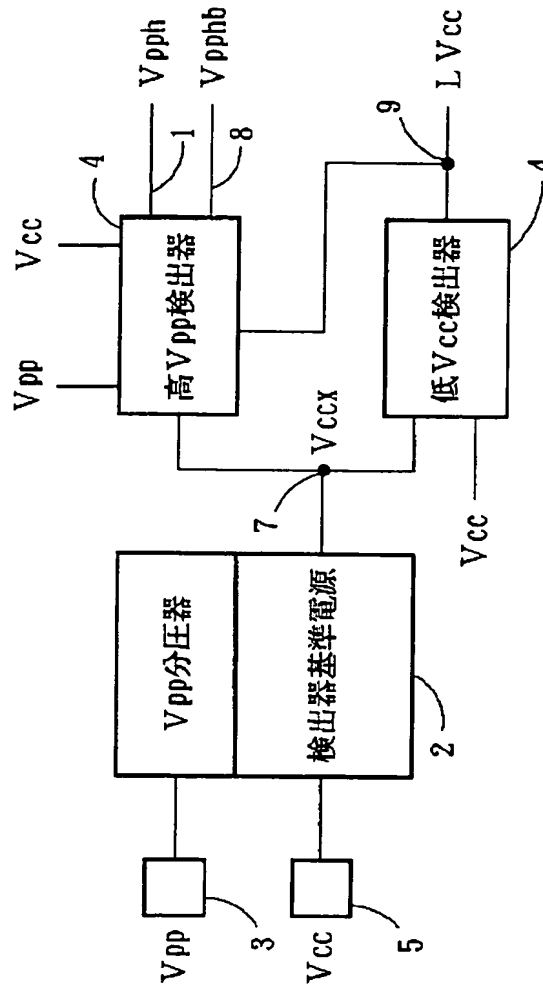


FIG. 1

【图 2】

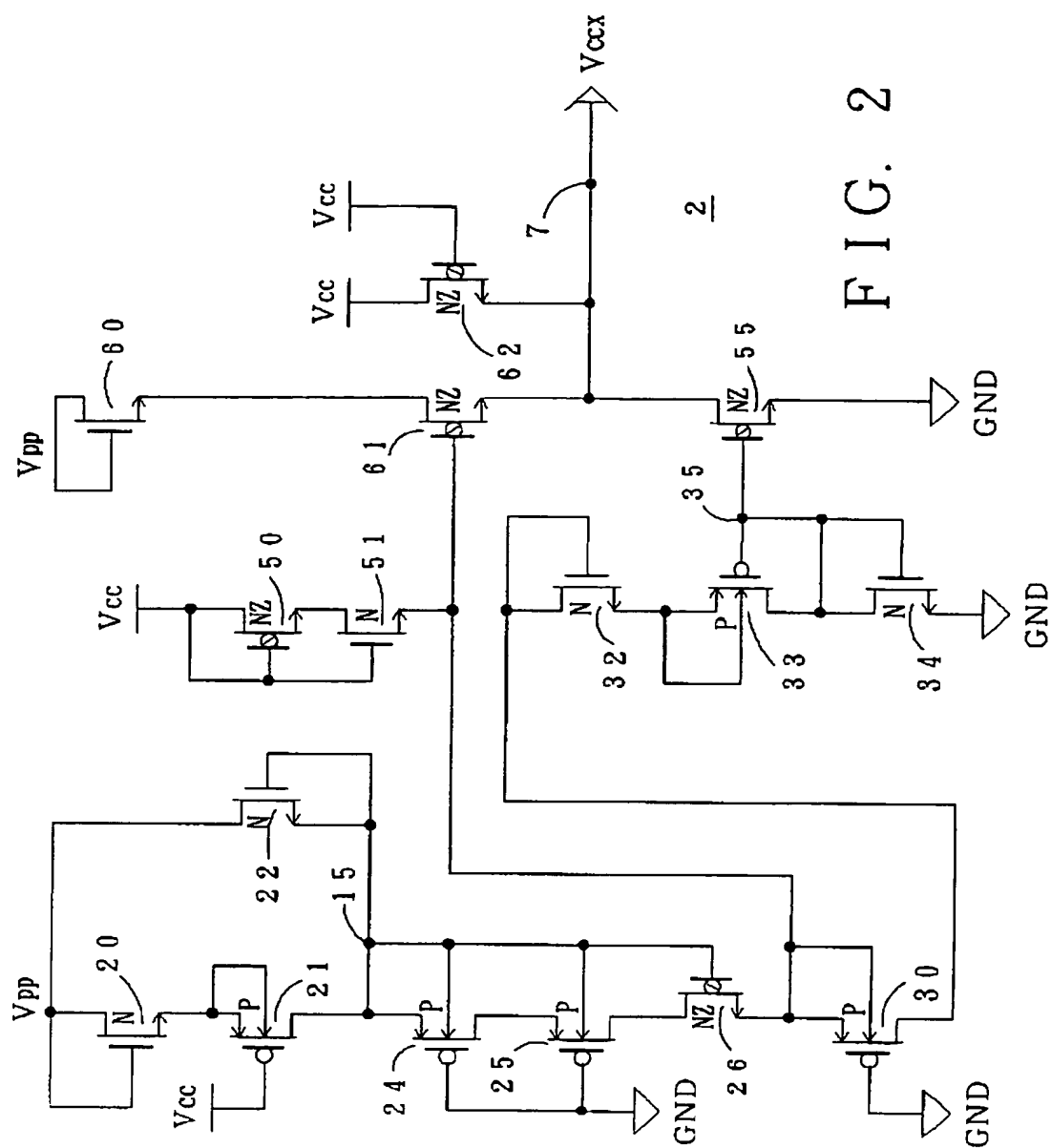
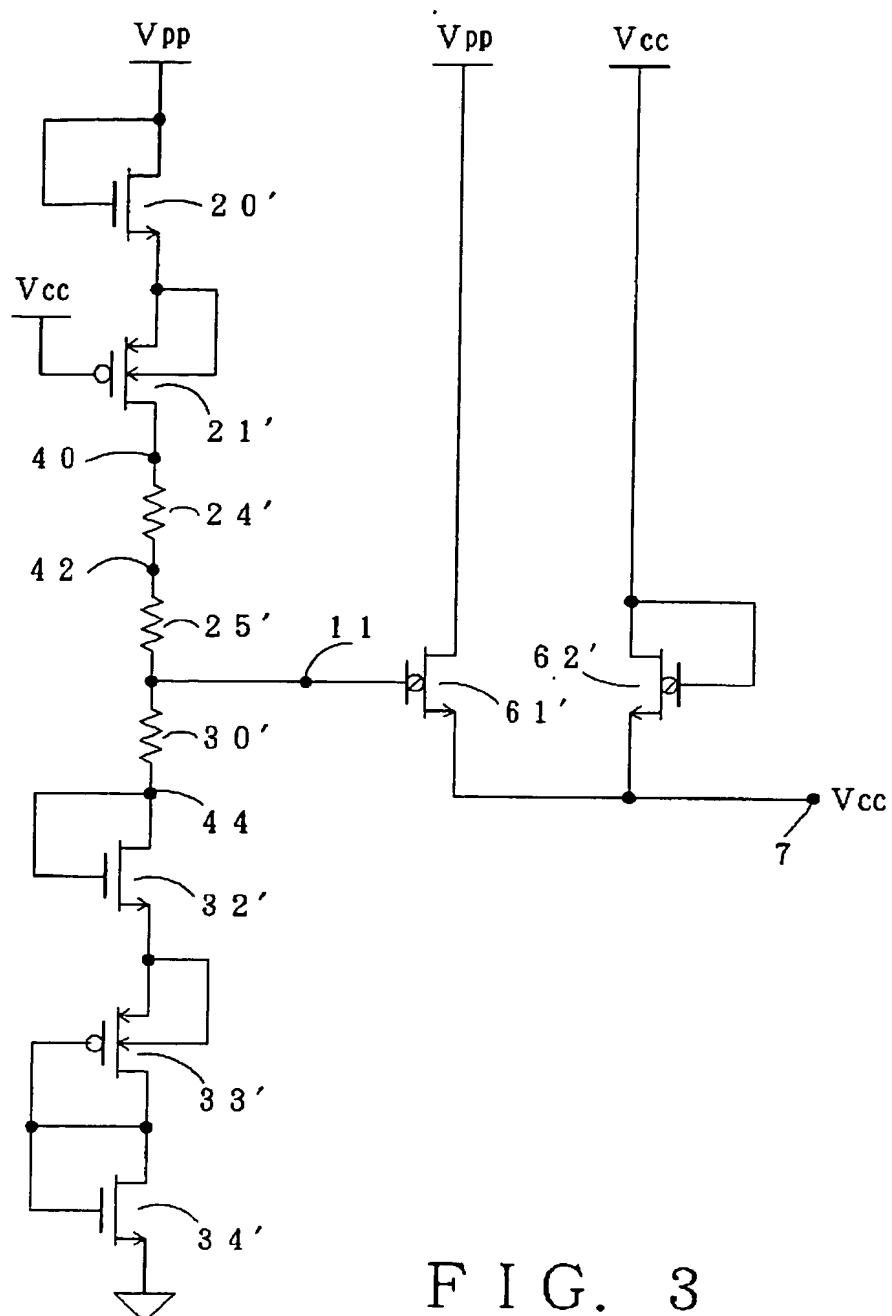


FIG. 3



【図4】

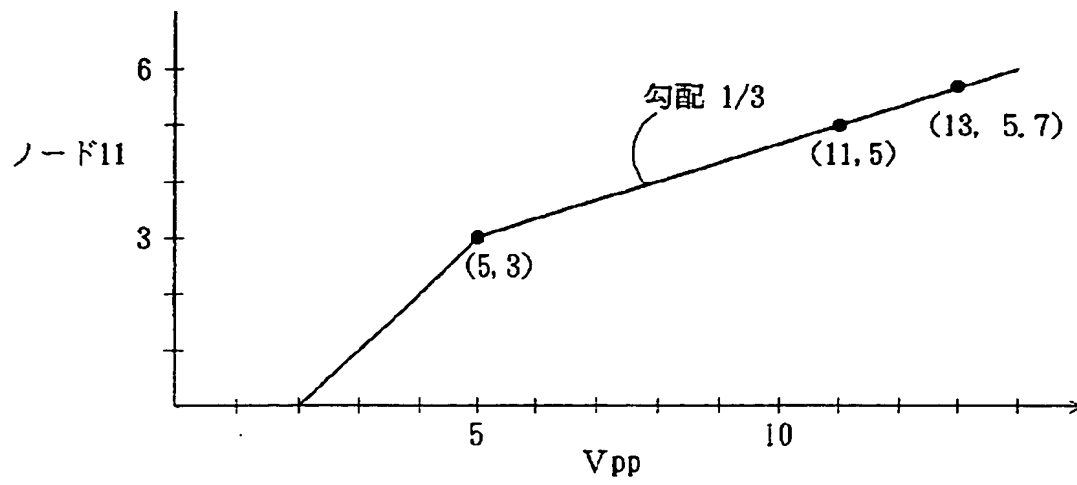


FIG. 4

【図5】

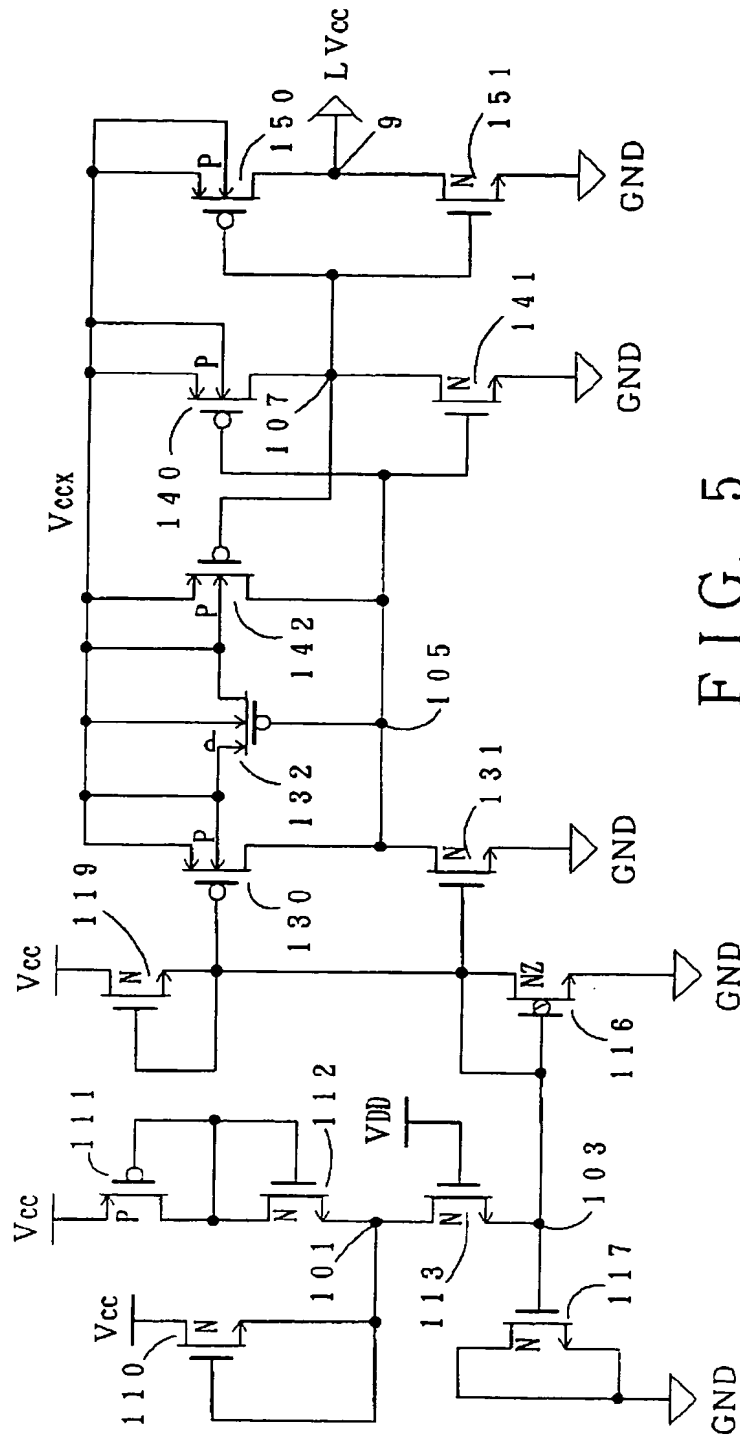


FIG. 5

【図6】

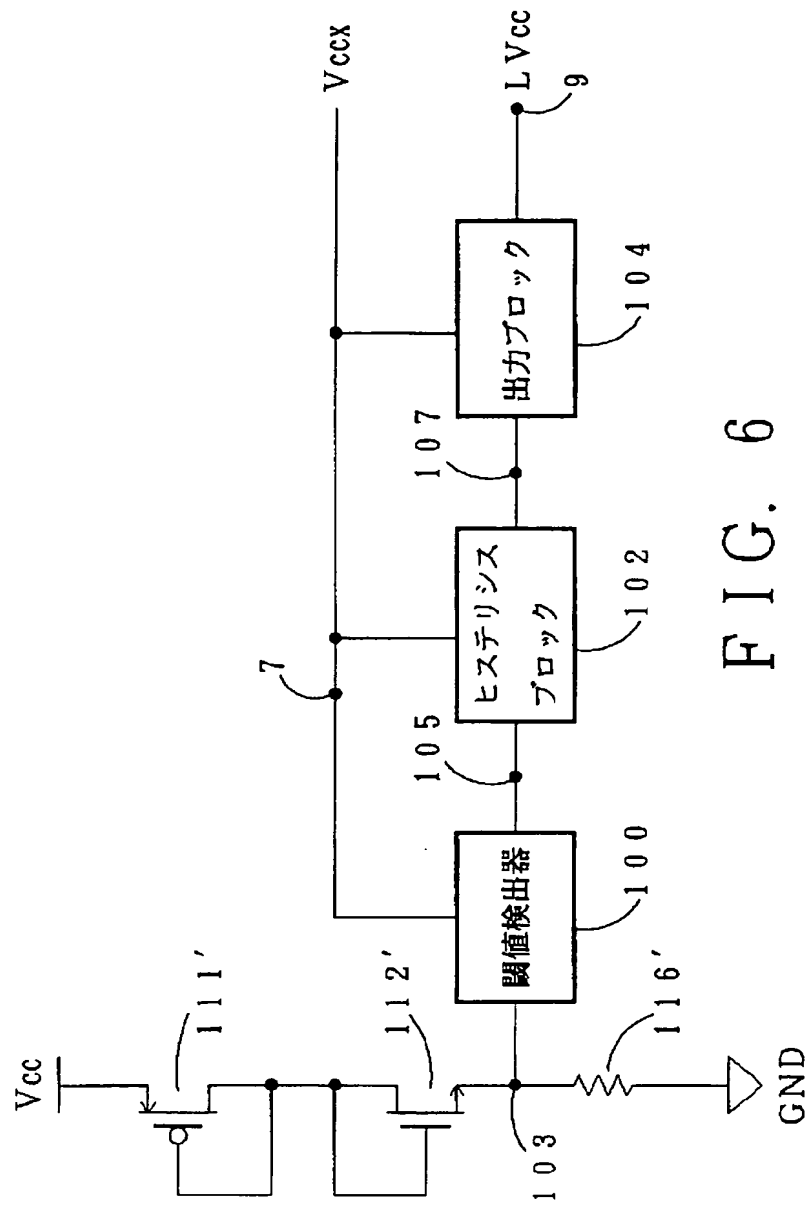
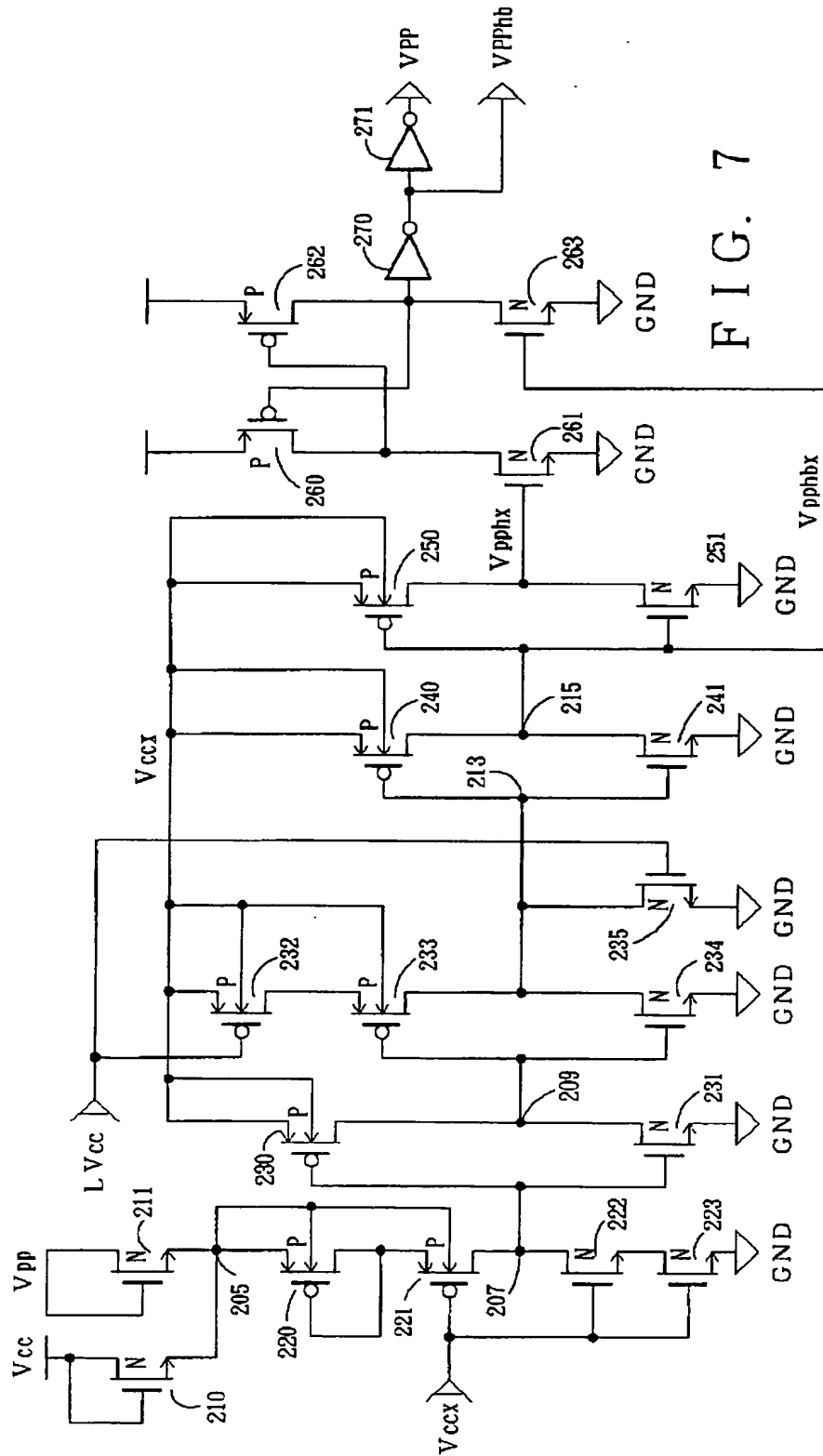
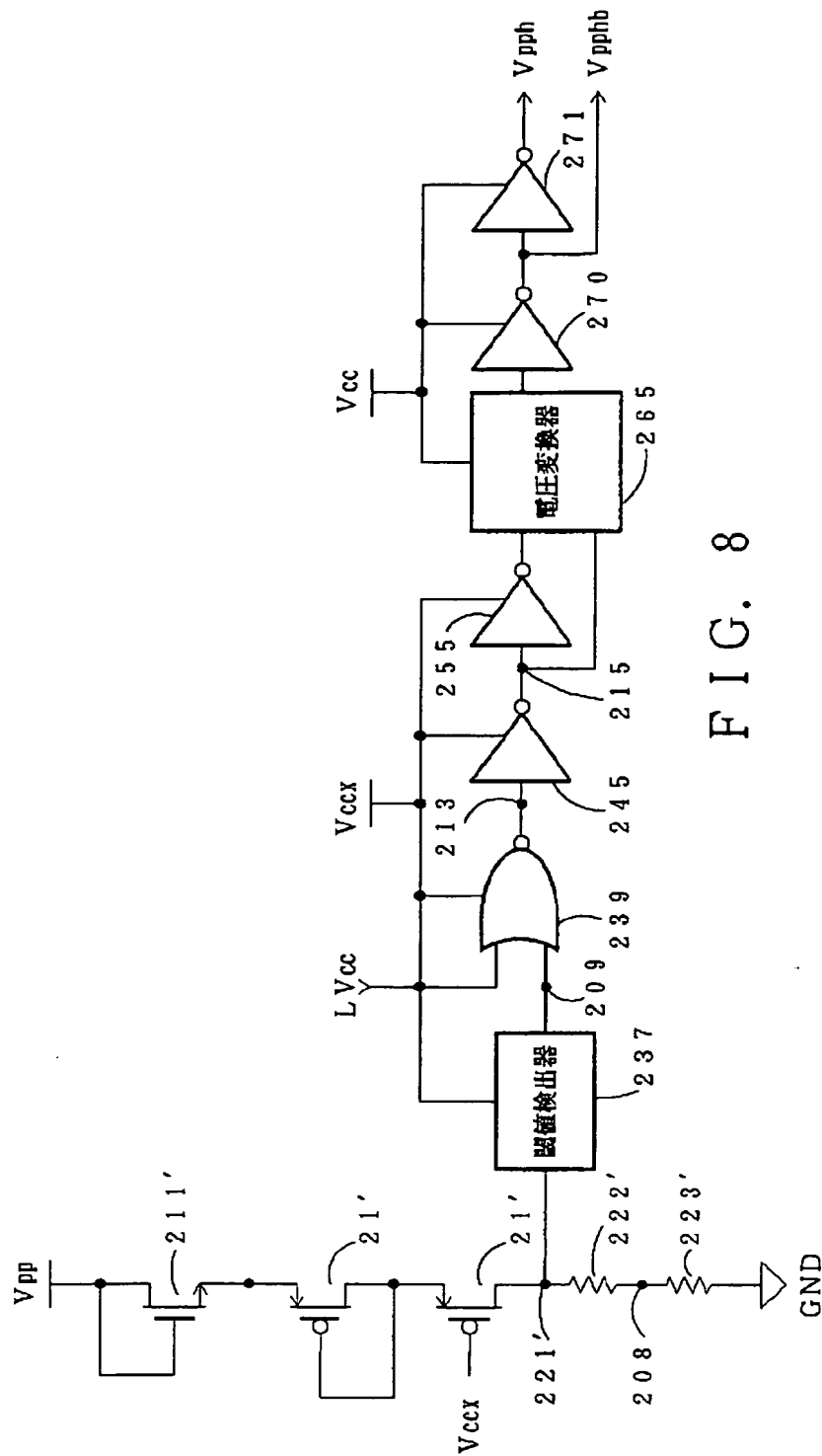


FIG. 6

【图7】



【図 8】



8
G.
I
H

【図9】

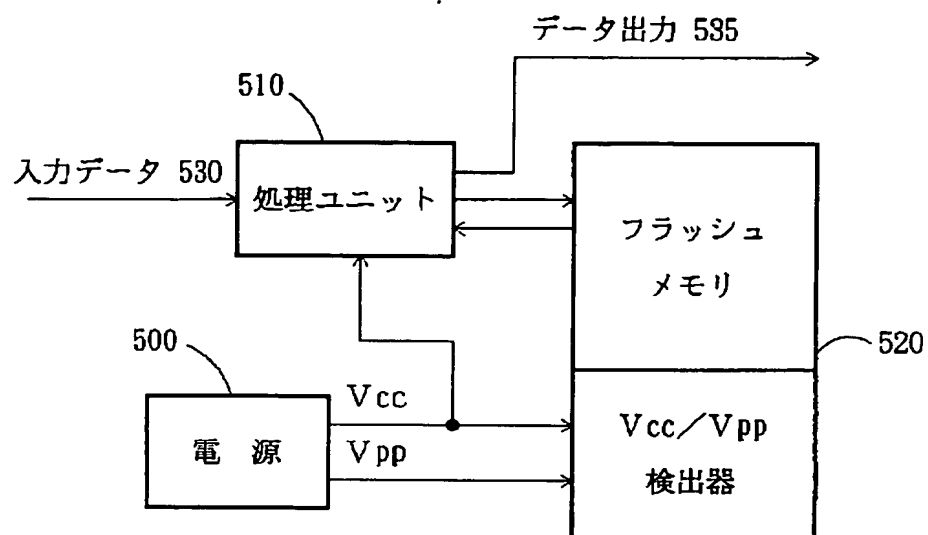
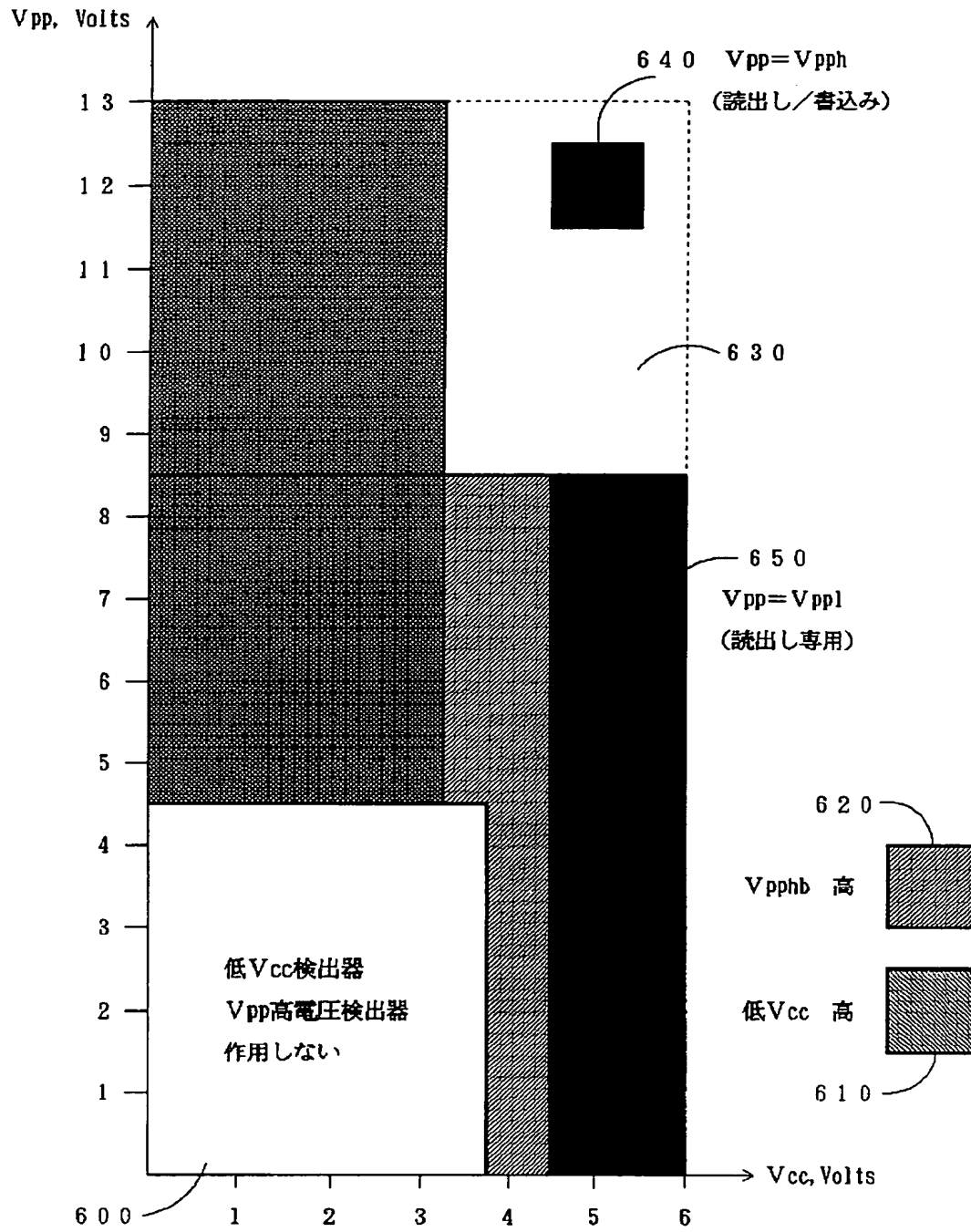


FIG. 9

【図10】



(米国特許第4975883号から)

従来技術

FIG. 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US93/09321

A. CLASSIFICATION OF SUBJECT MATTER

IPC(5) : HQ3K/3/24; H11C 16/00; G05F 1/565

US CL : 307/362; 363/183; 365/226

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 307/350, 354-358, 360-362, 272.3, 296.1, 296.6; 365/183, 189.07, 189.09, 226

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

APS, Voltage detection Circuit, Reference Circuit Flash EPROM, reference Voltage generator, Low Voltage detector, high voltage detector

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	See Attached Sheet.	

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	*T	later documents published after the international filing date or priority date and not in conflict with the application but cited to underscore the principle or theory underlying the invention
A document defining the general state of the art which is not considered to be part of particular relevance	*X*	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
E earlier document published on or after the international filing date	*Y*	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*A*	document member of the same patent family
O document referring to an oral disclosure, use, exhibition or other means		
P documents published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search

08 February 1994

Date of mailing of the international search report

MAR 11 1994

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. NOT APPLICABLE

Authorized officer

for TUAN T. LAM *Smille*
Telephone No. (703) 305-3791

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US93/09321

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US,A, 4,975,883 (BAKER et al.) 04 DECEMBER 1990 Fig. 2	1,2,3,13, 22- 26,27, 29,34-37
Y	US,A, 5,172,342 (GOCHI) 15 DECEMBER 1992 Figs. 2-3	1,13,21,24, 27
Y	US,A, 5,053,990 (KREIFELS et al.) 01 OCTOBER 1991 Abstract	
Y	US,A, 5,243,233 (CLIFF) 07 SEPTEMBER 1993 Figs. 2-3	4-12,16-20, 29- 33
X	US,A, 4,812,680 (KAWASHIMA et al.) 14 MARCH 1989. Whole document.	2,3,14,28
A	US,A, 5,003,196 (KAWAGUCHI) 26 MARCH 1991	
A	US,A, 4,613,770 (RAAB) 23 SEPTEMBER 1986	
A	US,A, 4,473,759 (NAHABADI) 25 SEPTEMBER 1984	
A	US,A, 4,321,489 (HIGUCHI et al.) 23 MARCH 1982	
A,E	US,A, 5,280,198 (ALMULLA) 18 JANUARY 1994	
A	US,A, 5,180,926 (SKRIPEK) 19 JANUARY 1993	
A	US,A, 4,441,172 (EBEL) 03 APRIL 1984	
A,E	US,A, 5,276,646 (KIM et al.) 14 JANUARY 1994	
A	US,A, 5,208,488 (TAKIBH et al.) 04 MAY 1993	

INTERNATIONAL SEARCH REPORT

Inter. application No.

PCT/US93/09321

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This international report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Telephone Practice

Group I: claims 1-20 are drawn to a voltage detection circuit classified in Class 307/352.

Group II: claims 21-26 are drawn to a processing systems comprising a memory unit and a processing unit classified in class 365/226.

Group III: claims 27-29 are drawn to a flash EPROM classified in class 365/185.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐

The additional search fees were accompanied by the applicant's protest.

☒

No protest accompanied the payment of additional search fees.

フロントページの続き

(51)Int.Cl.[°] 識別記号 庁内整理番号 F I
H 0 3 K 5/08

(72)発明者 ユウ、トム ダンーシン
 アメリカ合衆国 カリフォルニア 95035、
 ミルピタス、ロス ポジトス ドライヴ
 793